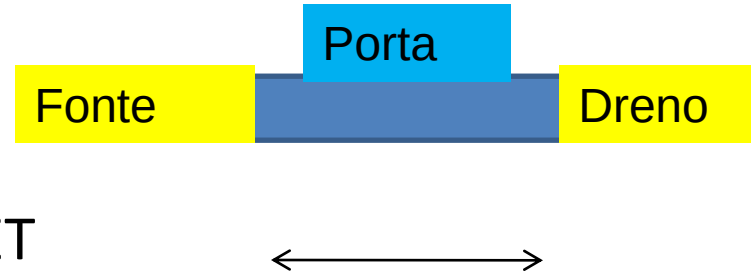
FI-227 Física de Componentes Semicondutores

Tópico 6: Transistor de efeito de campo (FET)

FET

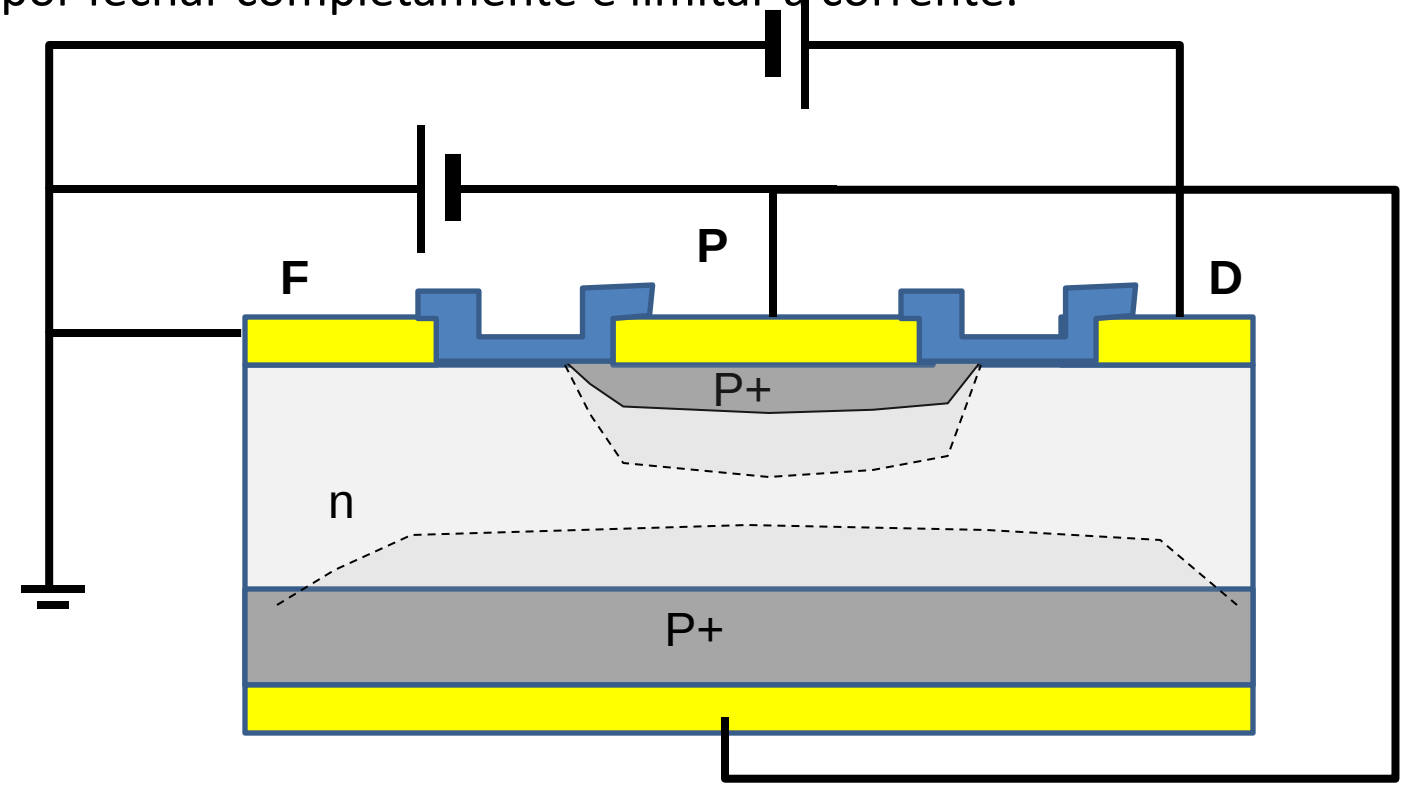
- Canal para condução contendo fonte e dreno;
- Campo (principalemente..pouca corrente) sobre canal (porta) altera sua condutividade e a corrente entre fonte e dreno;



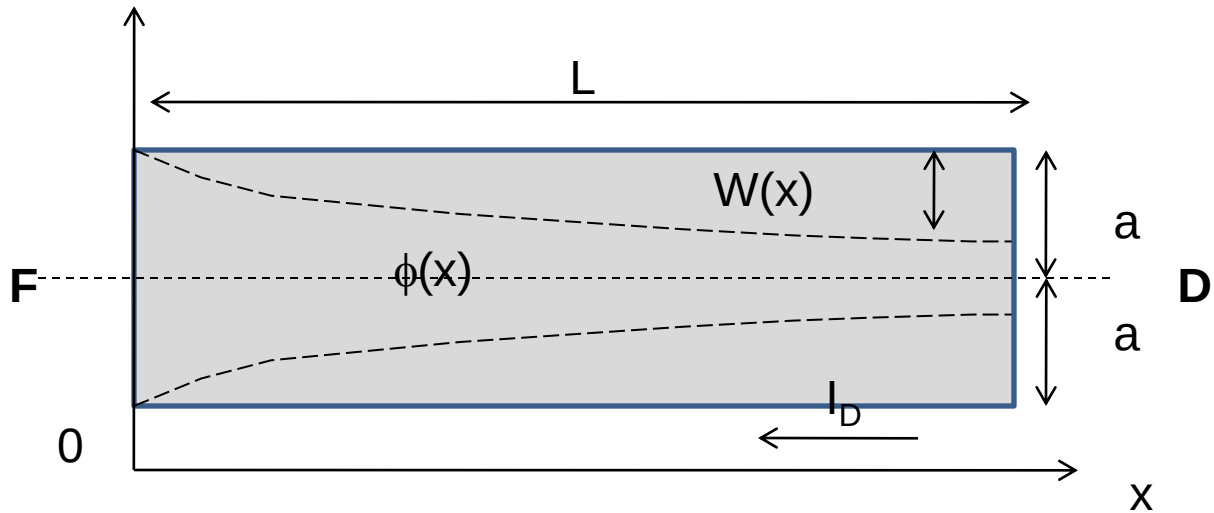
- Portas:
  - Junção: JFET
  - Metal-semicondutor:MESFET
  - Metal-isolante-Semicondutor: MISFET
    - Se o isolante é o óxido: MOSFET
- Modos:
  - Depleção: canal conduz e depleção causada pela porta reduz a seção transversal do canal;
  - enhancement: canal não conduz e tensão na porta faz ou abrir o canal ou criar cargas por inversão.

JFET e MESFET (modo depleção)

- Ambos são similares com a diferença que num a junção reversamente polarizada que estrangula o canal é p-n e na outra é M-S.
- Vejamos um JFET, canal n. Quando P é feita negativa com respeito à fonte e ao D, aumenta a região de depleção e seção transversal do canal n diminui. Quando a tensão positiva é aplicada no dreno, elétrons vão da fonte ao dreno criando uma corrente de D-F. Ocorre que esta tensão positiva aumenta a tensão reversa da porta na região do dreno que acaba por fechar completamente e limitar a corrente.



Modelo



- Considere uma profundidade *D*;
- A seção transversal do canal é $A(x)=2[a-w(x)]D$
- A tensão reversa ao longo de x é $V(x)=\phi(x)-Vp$; Vp é a tensão na porta.
- $\phi(0)=0$ e $\phi(D)=V_D$
- A resistividade é uniforme $\rho = 1/e\mu n \sim 1/ e\mu N_D$

$$d\phi = \frac{I_D \rho dx}{A(x)} \Rightarrow 2D\left[a - w(x)\right]d\phi = -\frac{I_D}{e\mu N_D}dx$$

$$w(x) \cong \sqrt{\frac{2\varepsilon_s\left[V_{bi} + V(x)\right]}{eN_D}} = \sqrt{\frac{2\varepsilon_s\left[V_{bi} + \phi(x) - V_P\right]}{eN_D}} \Rightarrow$$

$$-2De\mu N_D\left\{a - \sqrt{\frac{2\varepsilon_s\left[V_{bi} + \phi(x) - V_P\right]}{eN_D}}\right\}d\phi = I_D dx \Rightarrow$$

$$\frac{-2De\mu N_D}{L}\int_0^{V_D}\left\{a - \sqrt{\frac{2\varepsilon_s\left[V_{bi} + \phi(x) - V_P\right]}{eN_D}}\right\}d\phi = I_D$$

$$\frac{-2De\mu N_D}{L}\int_0^{V_D}\left\{a-\sqrt{\frac{2\varepsilon_s\left[V_{bi}+\phi(x)-V_P\right]}{eN_D}}\right\}d\phi = I_D$$

$$I_D = \frac{-2De\mu N_D}{L}\left\{aV_D - \frac{2}{3}\left(\frac{2\varepsilon_s}{eN_D}\right)^{1/2}\left[(V_{bi}+V_D-V_P)^{3/2}-(V_{bi}-V_P)^{3/2}\right]\right\}$$

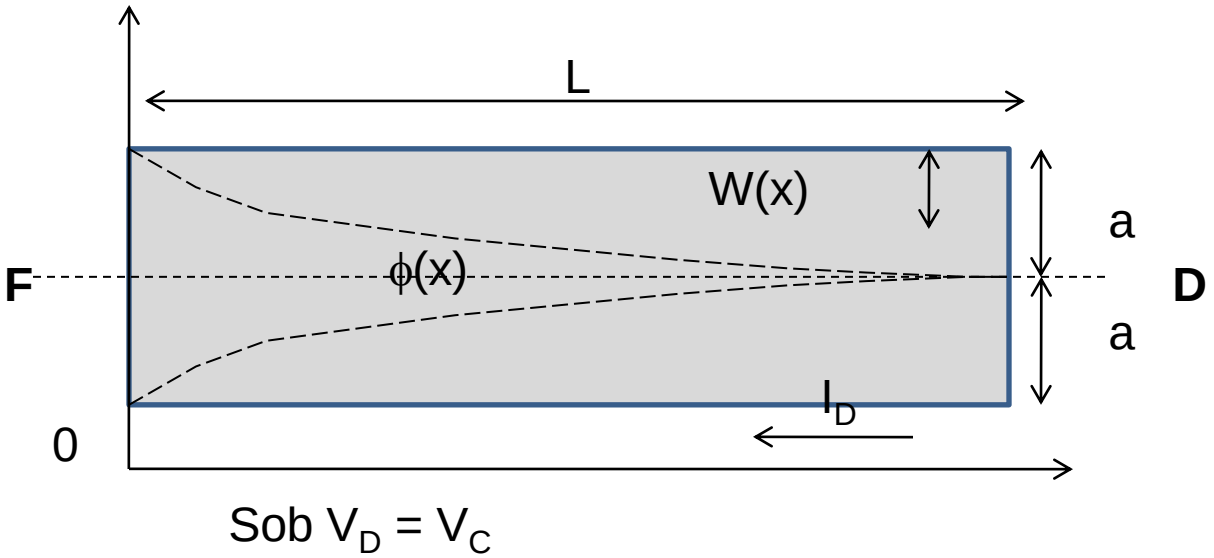
- É importante determinar V=V_C (pinch-off) que fecha o canal, w(V_C)=a

$$\sqrt{\frac{2\varepsilon_s V_C}{eN_D}} = a \Rightarrow V_C = \frac{eN_D a^2}{2\varepsilon_s}$$

$$I_D = \frac{-2Dae\mu N_D}{L}\left\{V_D - \frac{2}{3}\left(\frac{2\varepsilon_s a^2}{eN_D}\right)^{1/2}\left[(V_{bi}+V_D-V_P)^{3/2}-(V_{bi}-V_P)^{3/2}\right]\right\} =$$

$$I_D = \frac{-2Dae\mu N_D V_C}{L}\left\{\frac{V_D}{V_C} - \frac{2}{3}\left[\left(\frac{V_{bi}+V_D-V_P}{V_C}\right)^{3/2} - \left(\frac{V_{bi}-V_P}{V_C}\right)^{3/2}\right]\right\}$$

- Observem que nosso modelo segue até que Vc seja alcançado próximo ao dreno. A partir daí, um aumento de V_D não aumenta o campo no canal pois todo o potencial extra cai na região de depleção. Desta forma, a corrente satura no valor máximo.



- Eventualmente V_D é alto e há ruptura na região de depleção.

Máxima corrente (saturação)

$$\frac{dI_D}{dV_D} = -\frac{2Dae\mu N_D}{L}\left\{1-\left[\left(\frac{V_{bi}+V_D-V_P}{V_C}\right)^{1/2}\right]\right\} = 0 \Rightarrow$$

$$V_{bi}+\overline{V}_D-V_P = V_C \Rightarrow \overline{V}_D = V_C+V_P-V_{bi} \Rightarrow$$

$$I_{Dsat} = \frac{-2Dae\mu N_D V_C}{L}\left\{\frac{V_C+V_P-V_{bi}}{V_C}-\frac{2}{3}\left[1-\left(\frac{V_{bi}-V_P}{V_C}\right)^{3/2}\right]\right\}$$

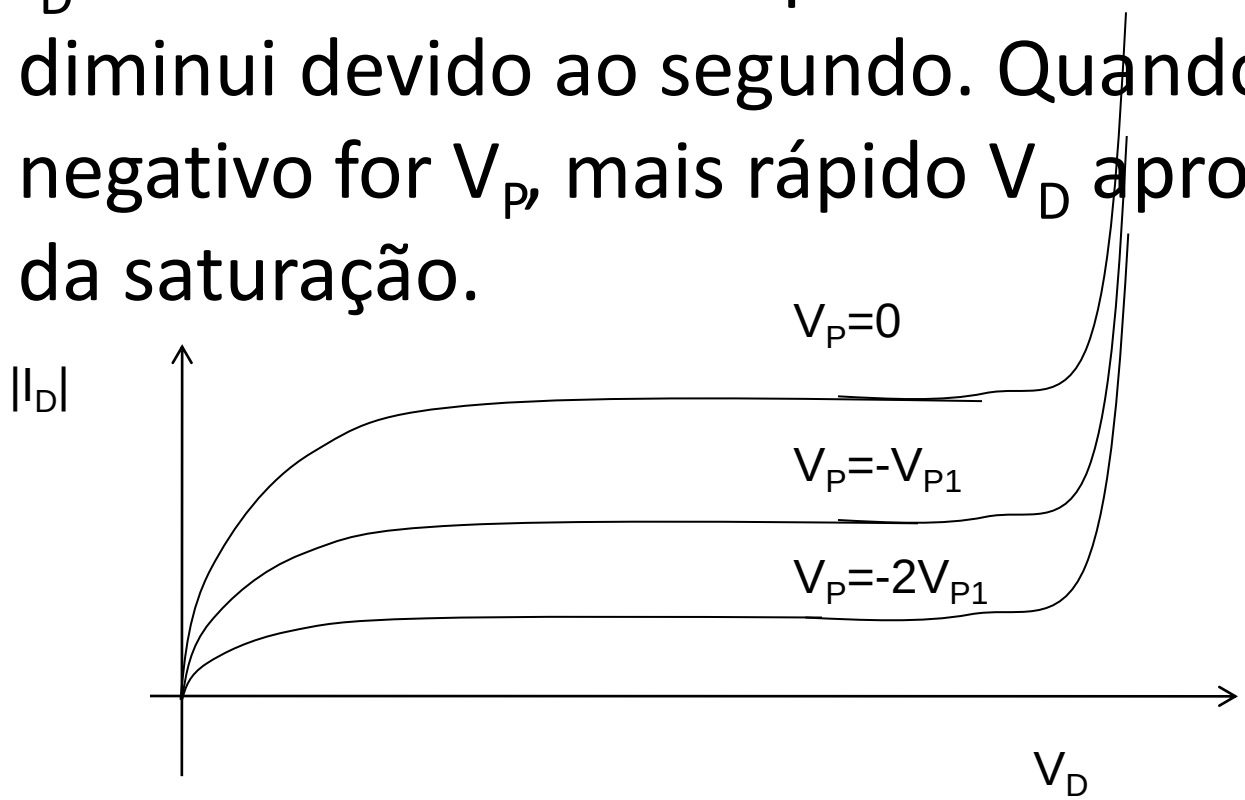
$$I_{Dsat} = \frac{G_0 V_C}{3}\left\{1+3\left(\frac{V_P-V_{bi}}{V_C}\right)+2\left(\frac{V_{bi}-V_P}{V_C}\right)^{3/2}\right\}; G_0 \equiv \frac{2Dae\mu N_D}{L}$$

$$I_{Dsat}(Vp=0) = \frac{G_0 V_C}{3}\left\{1-3\left(\frac{V_{bi}}{V_C}\right)+2\left(\frac{V_{bi}}{V_C}\right)^{3/2}\right\} \approx \frac{G_0 V_C}{3}$$

- Para analizarmos a curva de I_D vs V_D para diversos $-V_P$, vejamos:

$$I_D = -G_0 V_C \left\{ \frac{V_D}{V_C} - \left(\frac{2}{3}\right) \left[\left(\frac{(V_{bi} + V_D - V_P)}{V_C} \right)^{(3/2)} - \left(\frac{(V_{bi} - V_P)}{V_C} \right)^{(3/2)} \right] \right\}$$

- I_D aumenta devido ao primeiro termo, mas diminui devido ao segundo. Quando mais negativo for V_P, mais rápido V_D aproxima de V_D da saturação.



Condutância do canal

- A condutância do canal (ou de saída) é a variação de I_D com a variação de V_D. Então:

$$g_D \equiv \frac{d|I_D|}{dV_D} = G_0 \left\{ 1 - \left[\left(\frac{V_{bi} + V_D - V_P}{V_C} \right)^{1/2} \right] \right\}$$

$$g_D(V_D \to 0) = G_0 \left\{ 1 - \left[\left(\frac{V_{bi} - V_P}{V_C} \right)^{1/2} \right] \right\}; g_D(V_D \to \overline{V}_D) = 0$$

- A região linear ($V_D \to 0$) tem uma máxima condutância de G_0.

Transcondutância do canal

- A transcondutância do canal (ou de entrada) é a variação de I_D com a variação de V_P. Então:

$$g_m \equiv \left|\frac{dI_D}{dV_P}\right| = G_0\left\{\left[\left(\frac{V_{bi}+V_D-V_P}{V_C}\right)^{1/2} - \left(\frac{V_{bi}-V_P}{V_C}\right)^{1/2}\right]\right\}$$

$$g_m(sat) = g_m(\overline{V}_D) \rightarrow G_0\left[1-\left(\frac{V_{bi}-V_P}{V_C}\right)^{1/2}\right]; g_m(V_D=0)=0$$

- A região de saturação tem um transcondutância igual à condutância do canal na região linear. Já a transcondutância na região linear é nula.

Linearidade da transcondutância

- Para variações pequenas de V_P, se colocarmos o circuito na região de saturação, temos a transcondutância fixa e o sinal de corrente é proporcional ao sinal de tensão na porta:

$$\Delta I_{DS} = g_m(V_{Pbias})\Delta V_P = \left[1 - \left(\frac{V_{bi} - V_{Pbias}}{V_C}\right)^{1/2}\right]\Delta V_P$$

- Aqui é importante que $\Delta V_P << V_{Pbias}$

Para que a transcondutância seja fixa e não cause distorção.

Valores típicos

- Consideremos o canal de Si com:
- dopagem $10^{16}cm^{-3}$;
- D=10 μm e L = 10 μm;
- a=0.1 μm;
- Mobilidade: 1500 cm^2/Vs;
- ε_S=12x8.8x10^{-14}F/cm

$$G_0 \equiv \frac{2Dae\mu N_D}{L} = 2\times10^{-5}\times1.6\times10^{-19}\times1500\times10^{16} = 480\mu S$$

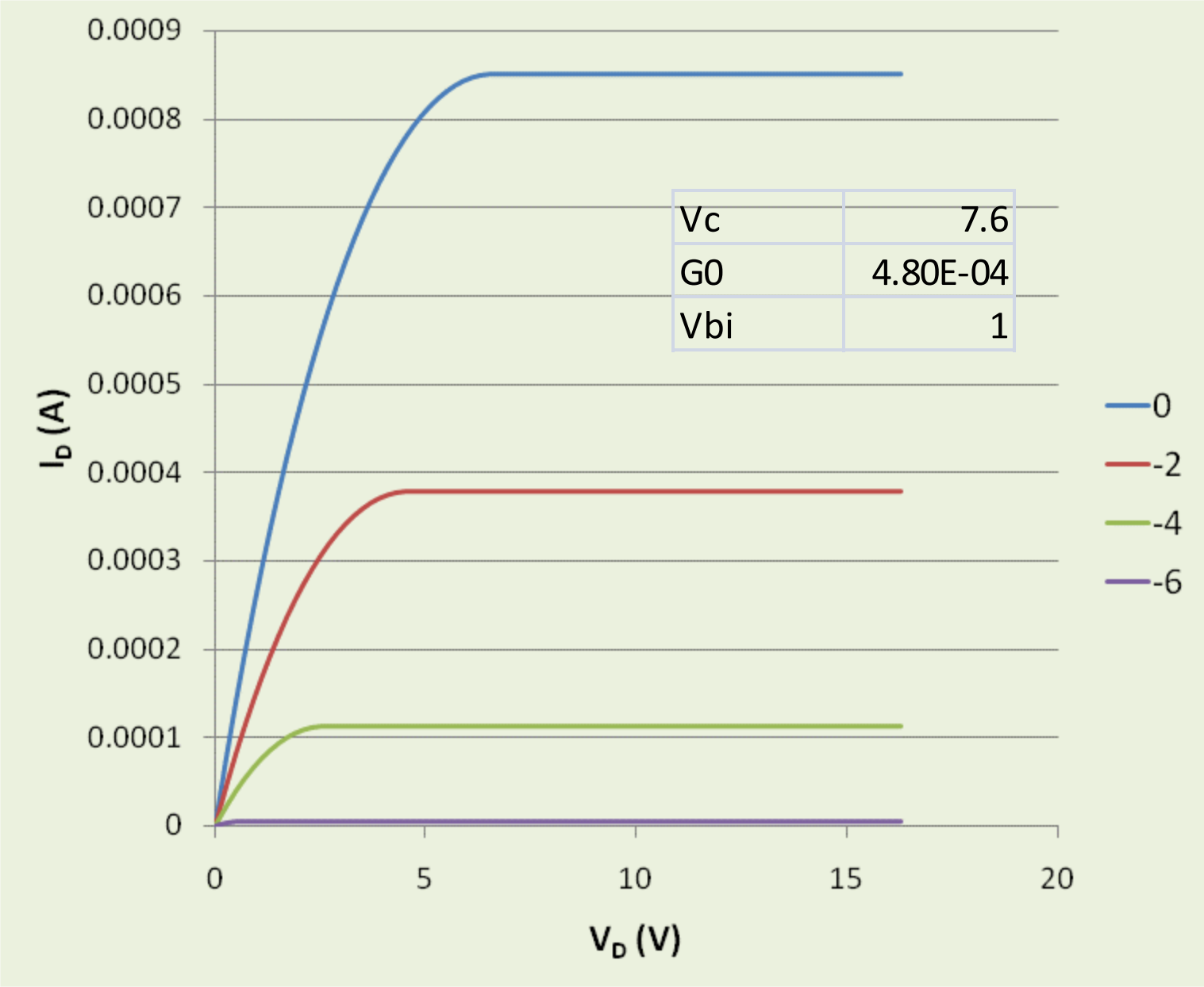
$$V_C = \frac{eN_D a^2}{2\varepsilon_s} = \frac{1.6\times10^{-19}\times10^{16}\times10^{-10}}{2\times12\times8.8\times10^{-14}} = 7.6V;$$

$$V_{bi} \sim E_G - kT\ell n\left(\frac{2.80\times010^{19}cm^{-3}}{N_B = 10^{16}}\right) = 1V;$$

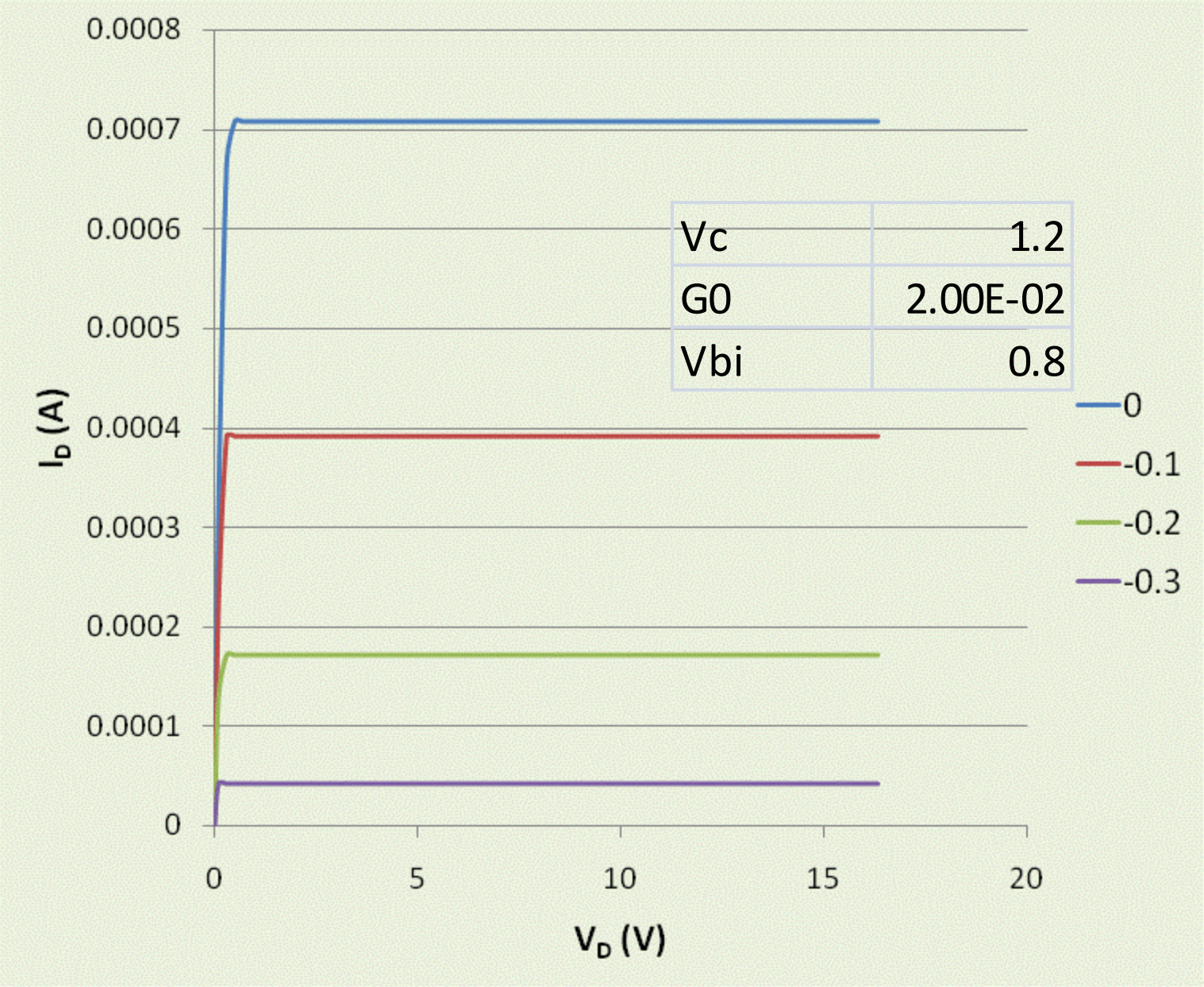
$$g_m = (sat, Vp = 0) = G_0\left[1-\left(\frac{V_{bi}}{V_C}\right)^{1/2}\right] = 480mS(1-\sqrt{1/7.6}) = 306\mu S;$$

$$I_{Dsat}(Vp = 0) = \frac{G_0 V_C}{3}\left\{1+3\left(\frac{V_{bi}}{V_C}\right)-2\left(\frac{V_{bi}}{V_C}\right)^{3/2}\right\} = 0.852mA$$

Simulação

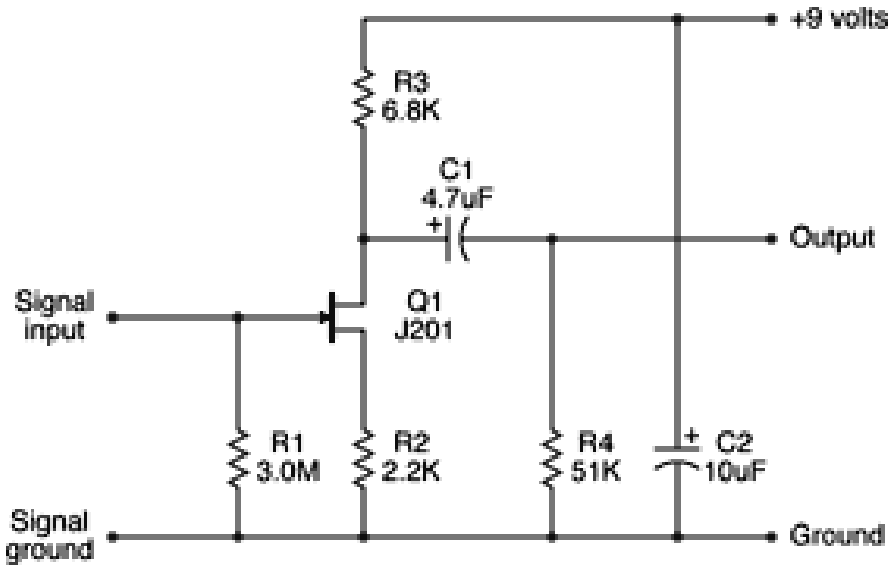

0.0009
0.0008
0.0007
0.0006
0.0005
0.0004
0.0003
0.0002
0.0001
0
I_D (A)
0
5
10
15
20
V_D (V)
0
-2
-4
-6
Vc 7.6
G0 4.80E-04
Vbi 1

Simulação

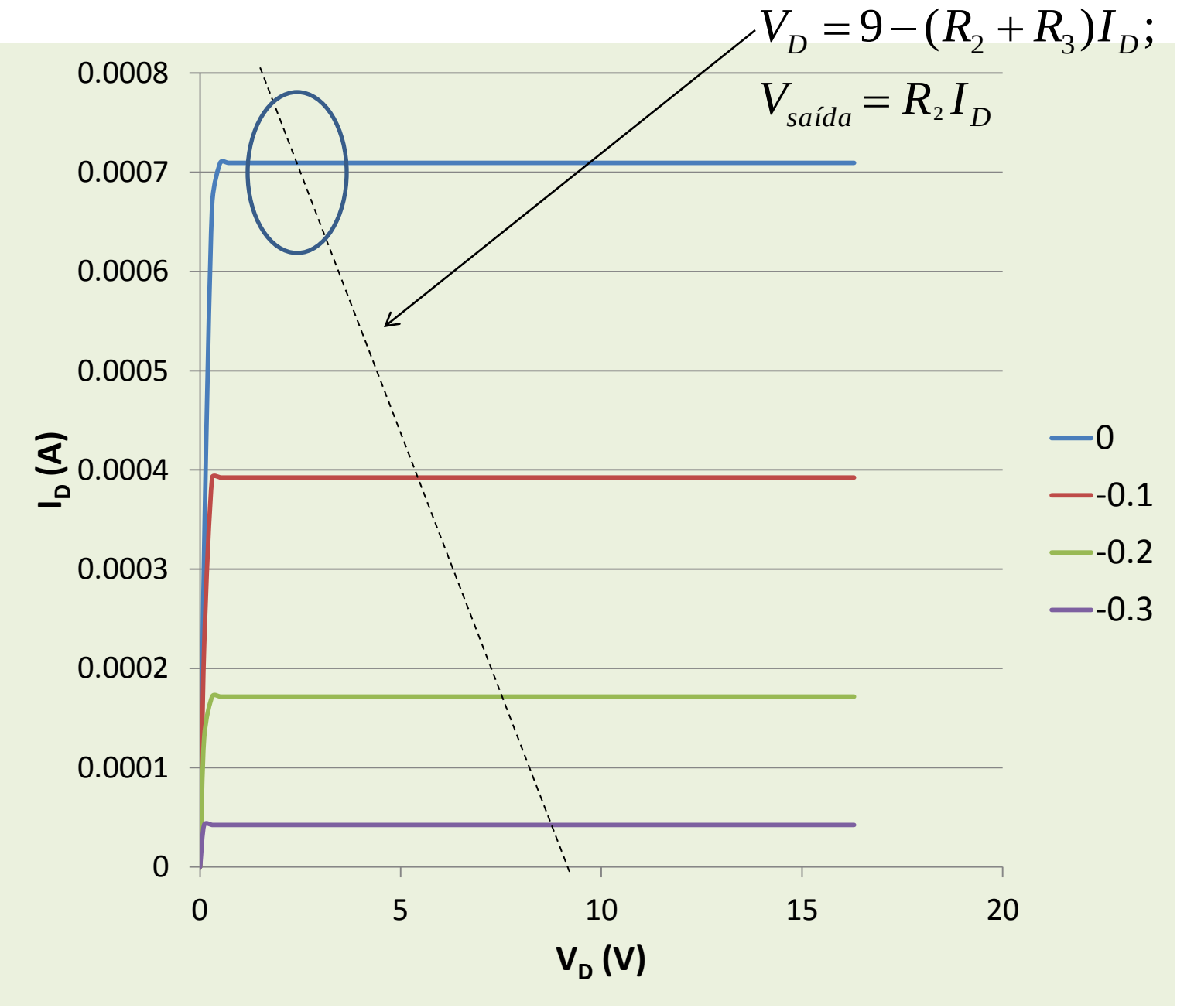

0.0008
0.0007
0.0006
0.0005
0.0004
0.0003
0.0002
0.0001
0
I_D (A)
0
5
10
15
20
V_D (V)
Vc 1.2
G0 2.00E-02
Vbi 0.8
0
-0.1
-0.2
-0.3

Exemplo

- Um pré-amplificador de guitarra de J. Donald Tillman (http://www.till.com/articles/GuitarPreamp/index.html)



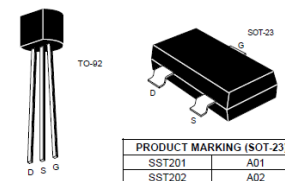
- Considerando a folha de especificações a seguir, explique o funcionamento do circuito (prob. 6, da lista 2). A curva do FET parece um pouco com a página 16 (vejam se concordam).


$V_D = 9 - (R_2 + R_3) I_D;$
$V_{saída} = R_2 I_D$
0.0008
0.0007
0.0006
0.0005
0.0004
0.0003
0.0002
0.0001
0
I_D (A)
0
5
10
15
20
V_D (V)
0
-0.1
-0.2
-0.3

FEATURES

- High Input Impedance
- Low I_{GSS}

PIN CONFIGURATION



PRODUCT MARKING (SOT-23)	
SST201	A01
SST202	A02
SST203	A03
SST204	A04

5010

ABSOLUTE MAXIMUM RATINGS
(T_A = 25°C unless otherwise specified)

Gate-Source or Gate-Drain Voltage . . . . . -40V
Gate Current 50mA
Storage Temperature Range . . . . . -55°C to +150°C
Operating Temperature Range . . . . . -55°C to +135°C
Lead Temperature (Soldering, 10sec) . . . . . +300°C
Power Dissipation 360mW
Derate above 25°C . . . . . 3.3mW/°C

NOTE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ORDERING INFORMATION

Part	Package	Temperature Range
J201-204	Plastic TO-92	-55°C to +135°C
SST201-204	Plastic SOT-23	-55°C to +135°C

For Sorted Chips in Carriers see 2N4338 series.

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise specified)

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise specified)

SYMBOL	PARAMETER	201			202			203			204			UNITS	TEST CONDITIONS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX			
I_{GSS}	Gate Reverse Current (Note 1)			-100			-100			-100			-100	pA	V_{DS} = 0, V_{GS} = -20V	
$V_{GS(off)}$	Gate-Source Cutoff Voltage	-0.3		-1.5	-0.8		-4.0	-2.0		-10.0	-0.3		-2.0	V	VDS = 20V, I_D = 10nA	
BV_{GSS}	Gate-Source Breakdown Voltage	-40			-40			-40			-25				V_{DS} = 0, I_G = -1μA	
I_{DSS}	Saturation Drain Current (Note 2)	0.2		1.0	0.9		4.5	4.0		20	0.2	1.2	3.0	mA	V_{DS} = 20V, V_{GS} = 0	
I_G	Gate Current (Note 1)		-10			-10			-10			-10		pA	V_{DG} = 20V, I_D = $I_{DSS(min)}$	
g_{fs}	Common-Source Forward Transconductance (Note 2)	500			1,000			1,500			500	1,500		μs	V_{DS} = 20V, V_{GS} = 0	f = 1kHz
g_{os}	Common-Source Output Conductance		1			3.5			10			2.5				
C_{iss}	Common-Source Input Capacitance		4			4			4			4		pF		f = 1MHz (Note 3)
C_{rss}	Common-Source Reverse Transfer Capacitance		1			1			1			1				
$\overline{e_n}$	Equivalent Short-Circuit Input Noise Voltage		5			5			5			10		$\frac{nV}{\sqrt{Hz}}$	V_{DS} = 10V, V_{GS} = 0	f = 1kHz (Note 3)

NOTES: 1. Approximately doubles for every 10°C increase in T_A.
2. Pulse test duration = 2ms.
3. For design reference only, not 100% tested.

Modo enhancement (JFET normalmente desligado)

- Neste modo, V_{bi} é maior que V_c, ou seja, sem tensão na porta, o canal já está estrangulado.
- Se uma tensão de porta acima de $V_{PL} = V_{bi} - V_c$ for aplicada, começa a condução para algum V_D.
- Próximo ao limiar, obtemos a corrente de saturação expandindo a quarta expressão da p. 8 em torno de $V \sim V_{PL}$, substituindo V_{bi} por $V_{bi} = V_{PL} + V_c$

$$I_{Dsat} = \frac{G_0 V_C}{3}\left[1 + \frac{3}{V_C}\left(V_P - V_{PL} - V_C\right) + \frac{2}{V_C^{3/2}}\left(V_{PL} + V_C - V_P\right)^{3/2}\right];$$

$$I_{Dsat}(V_P = V_{PL}) = \frac{G_0 V_C}{3}\left[1 + \frac{3}{V_C}\left(-V_C\right) + \frac{2}{V_C^{3/2}}\left(V_C\right)^{3/2}\right] = 0$$

$$\frac{dI_{Dsat}}{dV_P}(V_P = V_{PL}) = \frac{G_0 V_C}{3}\left[\frac{3}{V_C} - \frac{3}{V_C^{3/2}}\left(V_{PL} + V_C - V_{PL}\right)^{1/2}\right] = 0$$

$$\frac{dI_{Dsat}}{dV_P}(V_P = V_{PL}) = \frac{G_0 V_C}{3}\left[\frac{3}{2V_C^{3/2}}\left(V_{PL} + V_C - V_{PL}\right)^{1/2}\right] = \frac{G_0}{2} \Rightarrow$$

$$I_{Dsat} \approx \frac{G_0}{4}\left(V_P - V_{PL}\right)^2$$

- V_p terá que ser maior que V_{PL} , ou seja positivo para reduzir o V_{bi}. Isto custa corrente na porta pois iniciamos a polarização direta da porta.

Considerações finais (resistências parasíticas)

- Por fim, é importante notar que temos resistências em série da fonte R_F e R_D do dreno que reduzem a tensão de fato no canal. Desta forma, deveríamos trocar nas expressões atrás:

$$V_D \rightarrow V_D - I_D(R_F + R_D)$$

$$V_G \rightarrow V_G - I_D R_F$$

- Também, na região linear devermos medir R_F e R_D em série com 1/G0 e portanto a condutância do canal deve ser:

$$\frac{1}{G_0} \rightarrow \frac{1}{G_0} + R_F + R_D = \frac{1 + G_0(R_F + R_D)}{G_0} \Rightarrow G_0 \rightarrow \frac{G_0}{1 + G_0(R_F + R_D)}$$

- No caso da transcondutância na saturação, a única resistência que entra é a da fonte pois o canal está estrangulado no dreno :

$$g_m \rightarrow \frac{G_0}{1 + G_0 R_F}$$

Considerações finais (velocidade)

- Para pequenos sinais na porta, ela apresenta uma resistência intrínseca dada por:

$$R_P = \frac{dV_P}{dI_P} = \frac{kT}{q(I_P - I_{SP})}$$

- Também, podemos ter uma resistência em série R_{Gs} e, certamente, uma capacitância C_G dada pela região de depleção na porta. Portanto, podemos ver a porta (entrada de sinal) como um circuito RC com um tempo característico:

$$\tau_{RC} = \left[R_{Gs} + \frac{kT}{q(I_P - I_{SP})} \right] \frac{A\varepsilon_S}{W(V_{pbias})}$$

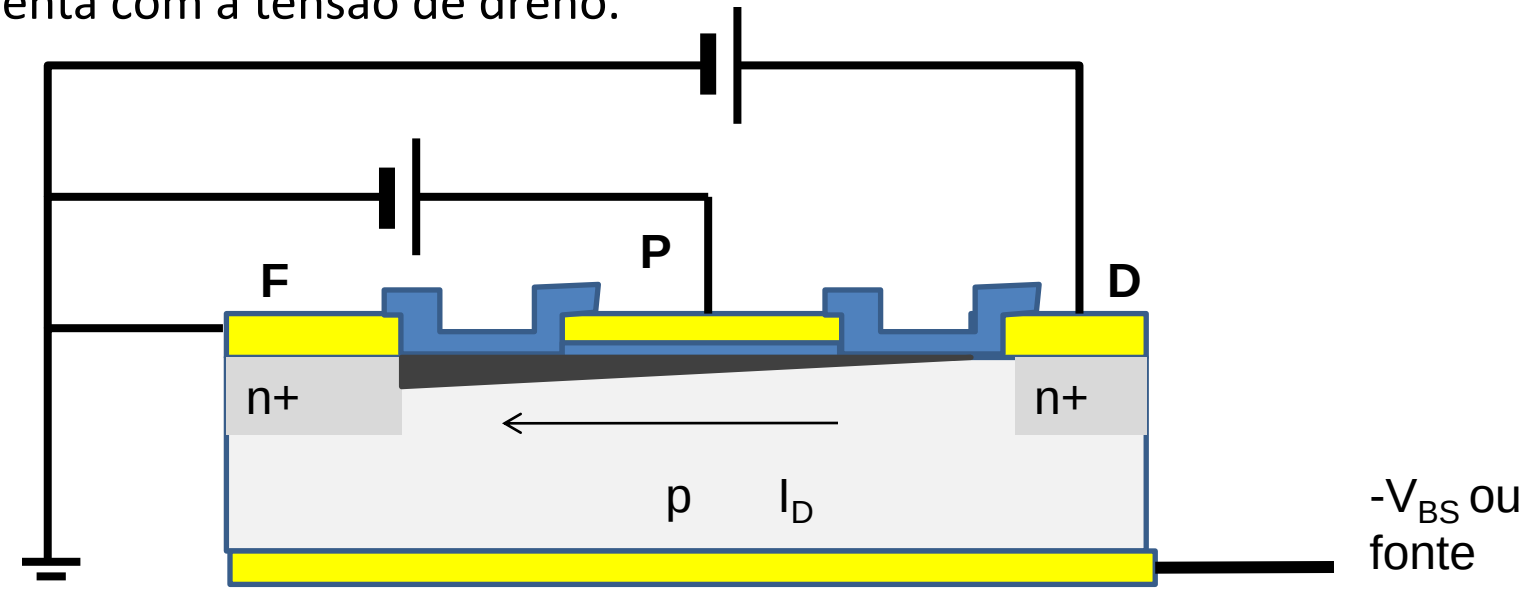
- Do ponto de vista da saída temos um tempo limite que é o tempo de trânsito da porta ao dreno:

$$\tau_T = \frac{L}{v_S} = \frac{L}{\mu E_x} \approx \frac{L^2}{\mu V_D}$$

- Em geral, o tempo RC é o limitante.

MISFET (MOSFET) (enhancement)

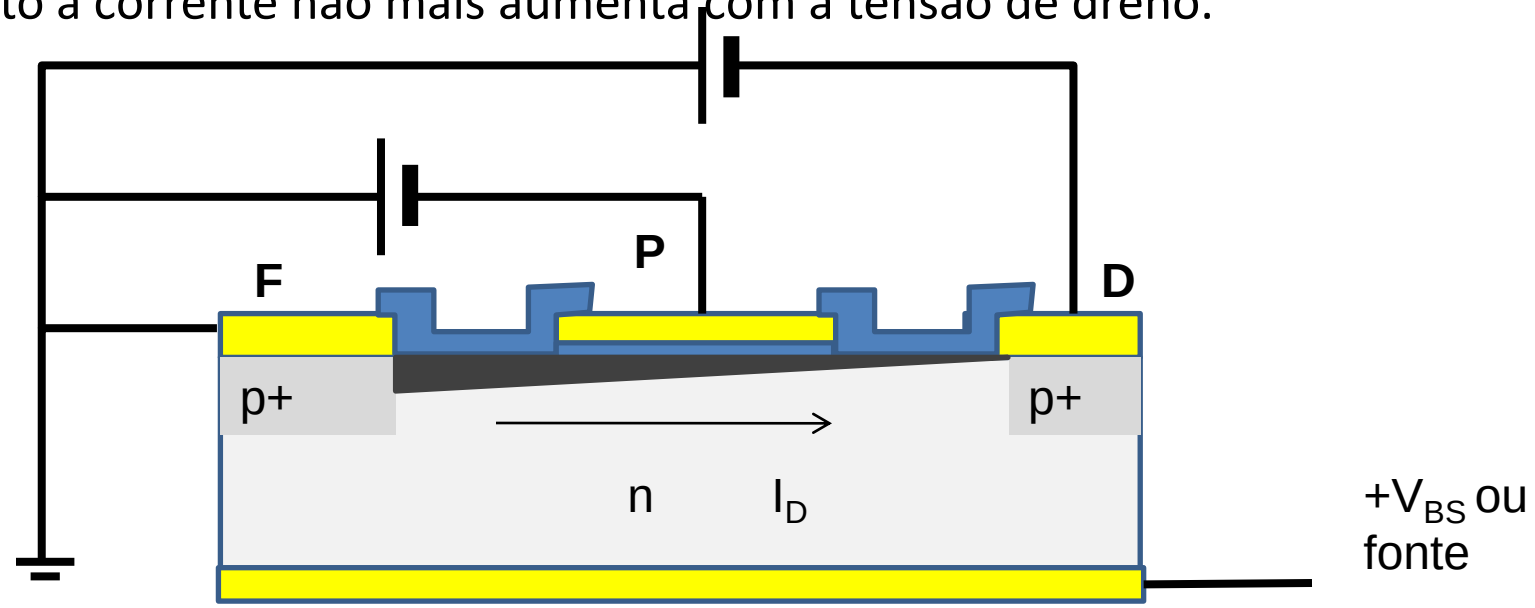
- Vejamos um MISFET, canal n. Quando a tensão em P (porta) é feita positiva e maior que a tensão para inversão V_C com respeito à F (fonte) e ao D (dreno) surge um canal de elétrons logo entre o semicondutor e o dielétrico da porta. Conforme a tensão em D aumenta para atrair os elétrons do canal e aumentar a corrente de elétrons entre a fonte e o dreno, diminui a tensão entre a porta e o semicondutor na região entre a porta e o dreno. Eventualmente a tensão é menor que a crítica nesta região e o canal é interrompido. Neste ponto a corrente não mais aumenta com a tensão de dreno.



- Notem que as junções entre F, D e substrato estão ou não polarizadas ou polarizadas reversamente .

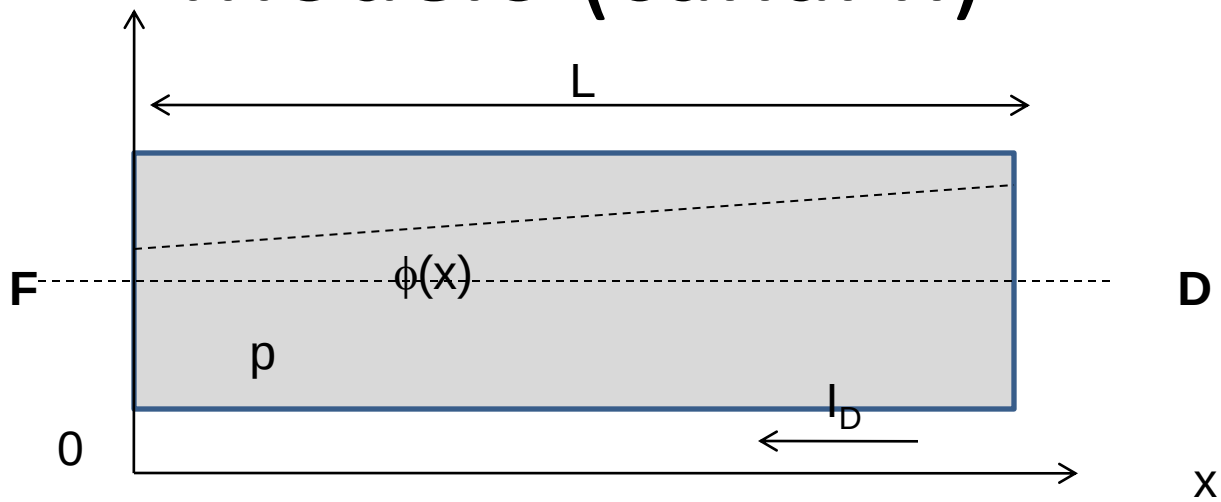
MISFET (MOSFET) (enhancement)

- Vejamos um MISFET, canal p. Quando a tensão em P (porta) é feita negativa e, em módulo, maior que a tensão para inversão V_C com respeito à F (fonte) e ao D (dreno) surge um canal de buracos logo entre o semicondutor e o dielétrico da porta. Conforme a tensão em D diminui para atrair os buracos do canal e aumentar a corrente de buracos entre fonte e dreno, a tensão entre a porta e o semicondutor na região entre a porta e o dreno fica menos negativa. Eventualmente a tensão é, em módulo, menor que a crítica nesta região e o canal é interrompido. Neste ponto a corrente não mais aumenta com a tensão de dreno.



- Notem que as junções entre F, D e substrato estão ou não polarizadas ou polarizadas reversamente .

Modelo (canal n)



- A tensão na porta ao longo de x é $V = V_p - \phi(x)$; V_p é a tensão na porta.
- $\phi(0)=0$ e $\phi(D)=V_D$
- A quantidade de carga (inversão) no canal depende de quanto excedemos da tensão crítica ($V_p - V_c$), pois:
- $V = (Q_n + Q_{depl})/C_i + 2\Psi_B + \phi_{ms} - Q_i/C_i$ e $V_c = Q_{depl}/C_i + 2\Psi_B + \phi_{ms} - Q_i/C_i$; $V - V_c = Q_n/C_i$

- Dado um elemento infinitesimal do canal com comprimento L, a carga neste elemento é:

$$dQ_n(x) = \frac{C_i}{L}\left[V_P - V_C - \phi(x)\right]dx$$

- Considerando o canal com altura h(x) e largura D:

$$J_D = -qn\mu E = \frac{1}{Dh}\frac{dQ_n}{dx}\mu\frac{d\phi(x)}{dx}; J_D Dh \equiv I_D \Rightarrow$$

$$I_D dx = \frac{dQ_n}{dx}\mu d\phi = \frac{C_i}{L}\left[V_P - V_C - \phi(x)\right]\mu d\phi$$

- Integrando de x = 0 a L e ϕ(x) de 0 a V_D,temos:

$$I_D = \frac{\mu C_i}{L^2}\left[\left(V_P - V_C\right)V_D - \frac{V_D^2}{2}\right]$$

- A expressão atrás vale até quando V(x) no dreno chega ao limiar de inversão. Isto ocorre quando V_P-V_{Dmax}=V_C. Nesta situação:

$$I_D = \frac{\mu C_i}{L^2}\left[\left(V_D + V_C - V_C\right)V_D - \frac{V_D^2}{2}\right] = \frac{\mu C_i V_D^2}{L^2 2}$$

- Notem também que o máximo de I_D ocorre em:

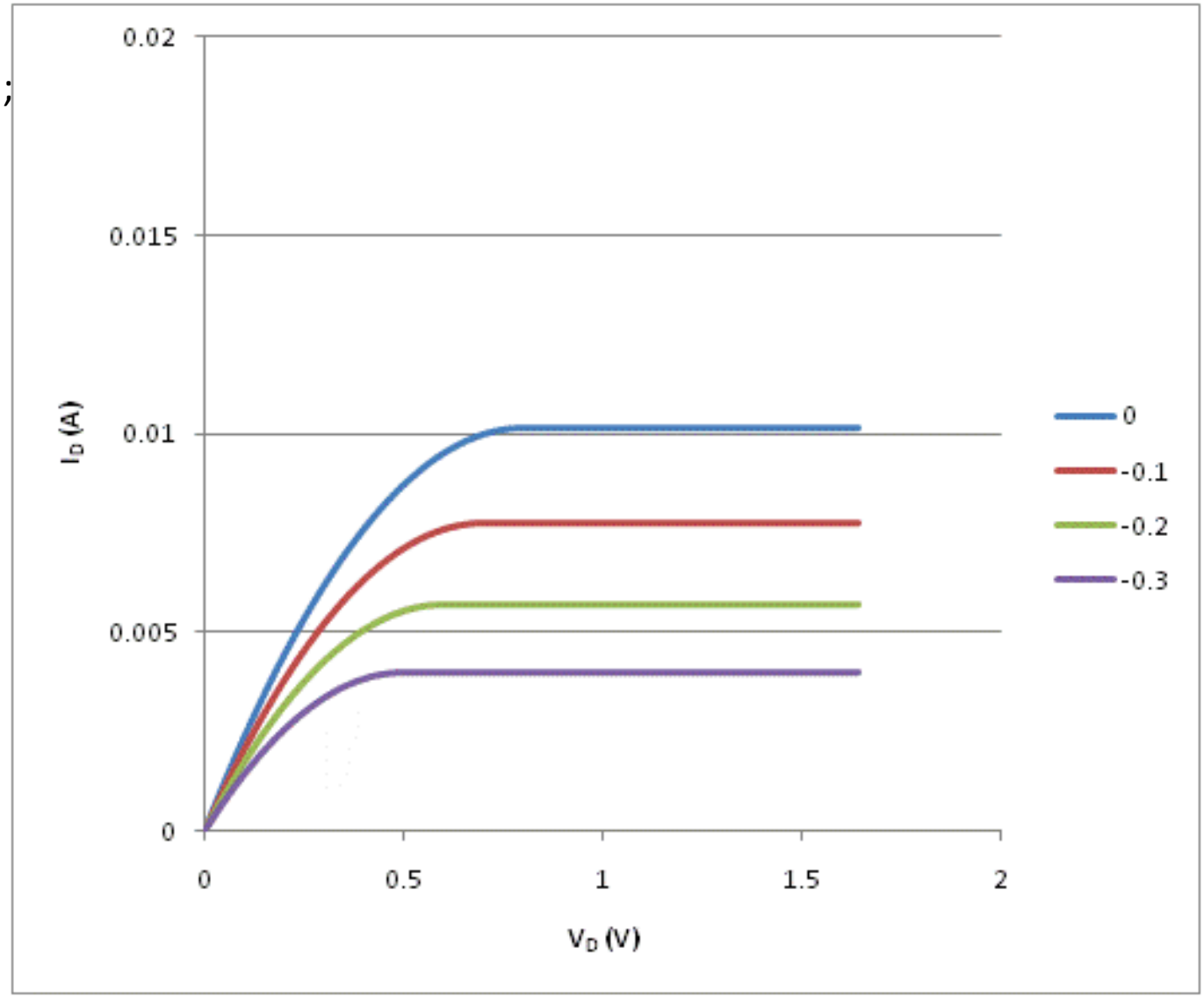
$$\frac{dI_D}{dV_D} = \frac{\mu C_i}{L^2}\left[\left(V_P - V_C\right) - V_{D\max}\right] = 0 \Rightarrow V_{D\max} = V_P - V_C = V_{Dsat}$$

- Ou seja, a corrente de saturação é

$$I_D = \frac{\mu C_i V_{Dsat}^2}{L^2 2}$$

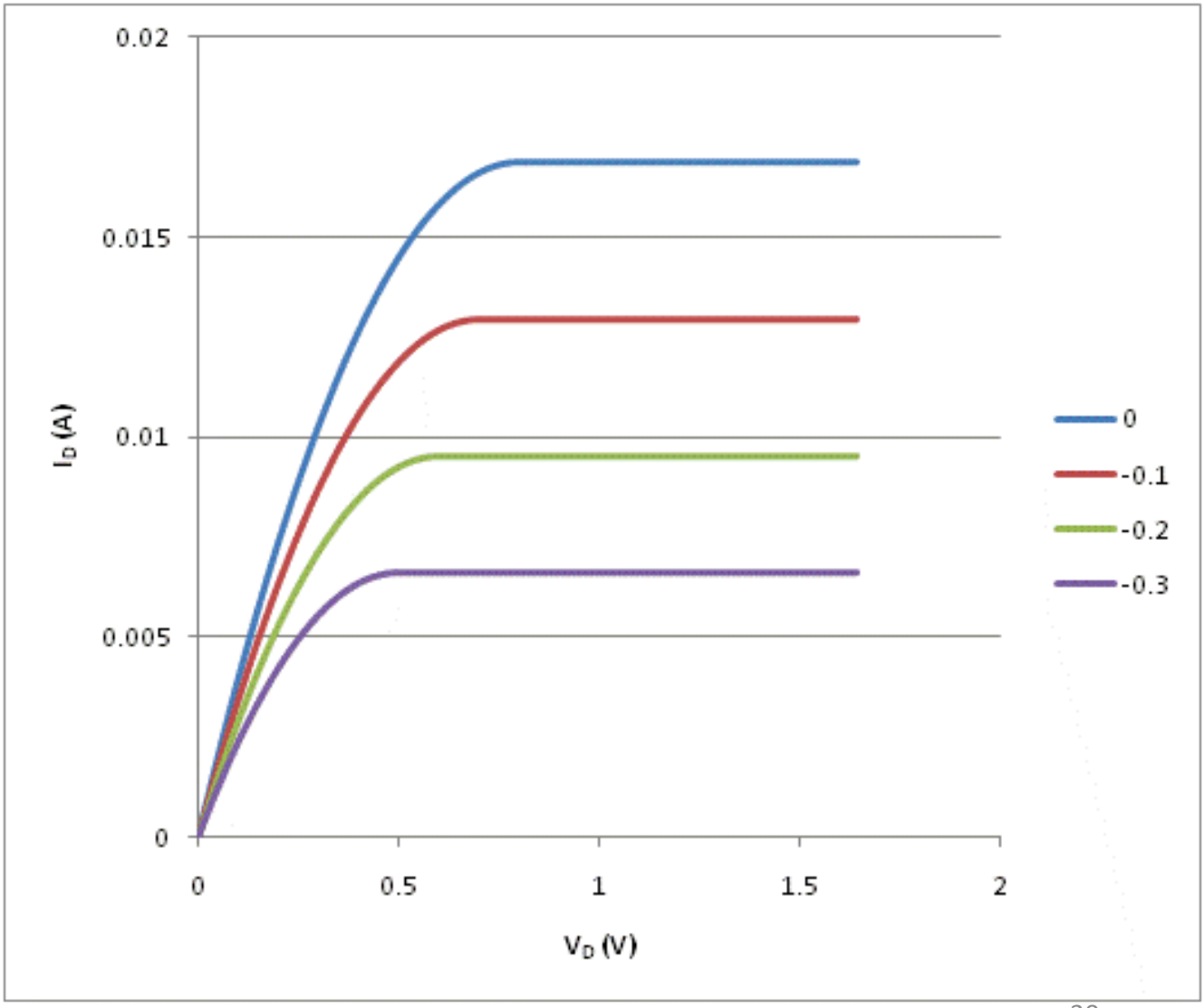
Alguns valores

- Mobilidade: 1500 $cm^2/V/s$
- L=1um; D= 2um
- K=12; di=100nm;



Alguns valores

- Mobilidade: 1500 $cm^2/V/s$
- L=1um; D= 2um
- K=12; di=60nm;



- A corrente aumenta:
  - com a mobilidade, a capacitância do dielétrico e a redução do canal;

$$I_D = \frac{\mu C_i}{L^2}\left[\left(V_P - V_C\right)V_D - \frac{V_D^2}{2}\right]$$

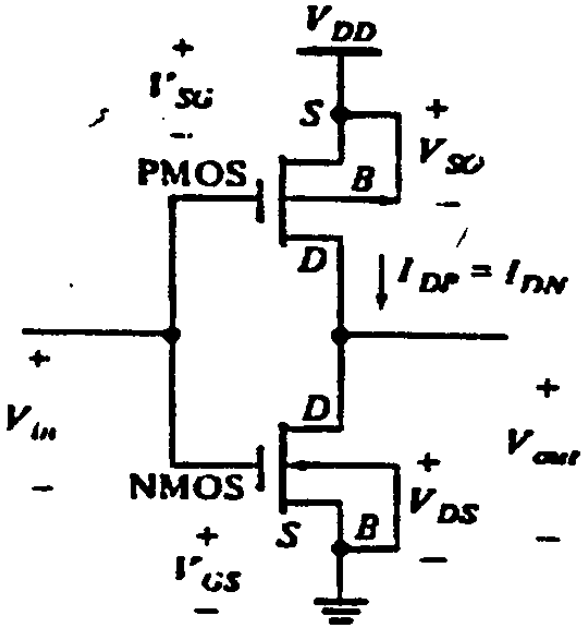
- Olhando melhor:

$$I_D = \frac{\mu K \varepsilon_0 D}{L d_i}\left[\left(V_P - V_C\right)V_D - \frac{V_D^2}{2}\right]$$

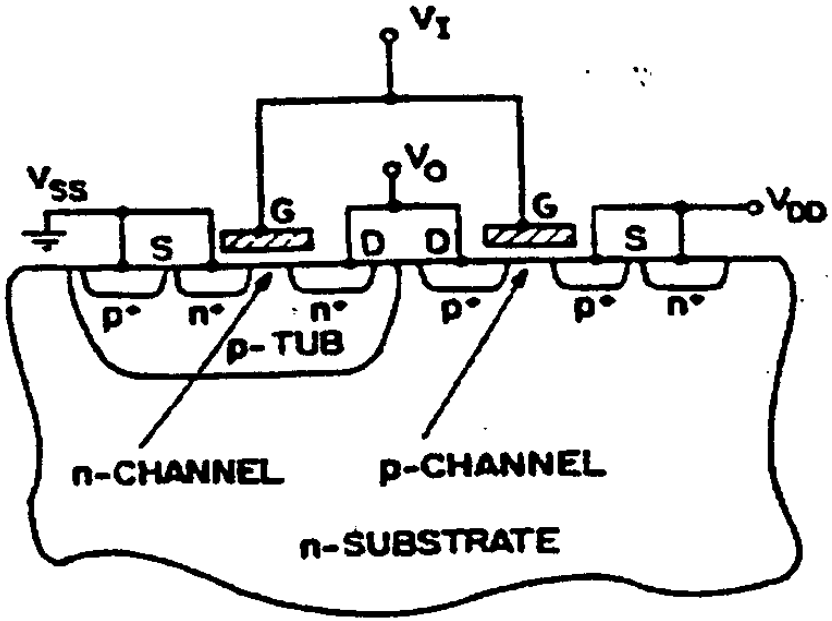
- Aumenta com a mobilidade, a constante dielétrica do isolante K, e redução da espessura do dielétrico.

CMOS

- CMOS : Frank Wanlass, Fairchild Semiconductor (1963), Produção inicial: 1968(RCA) redução de consumo, mas lento



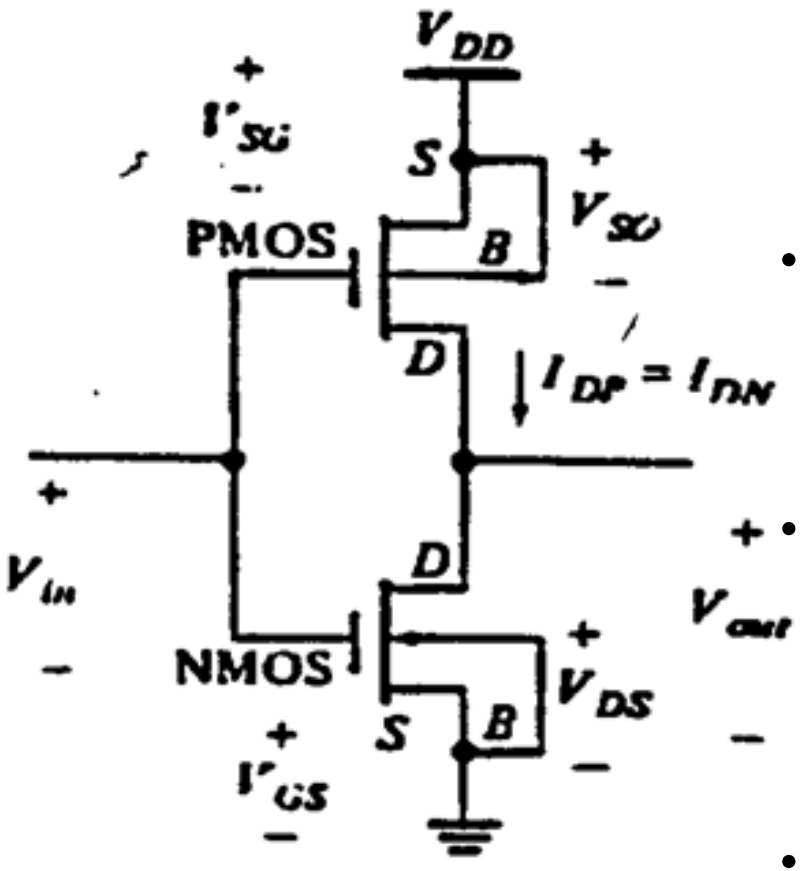
(a)



(b)

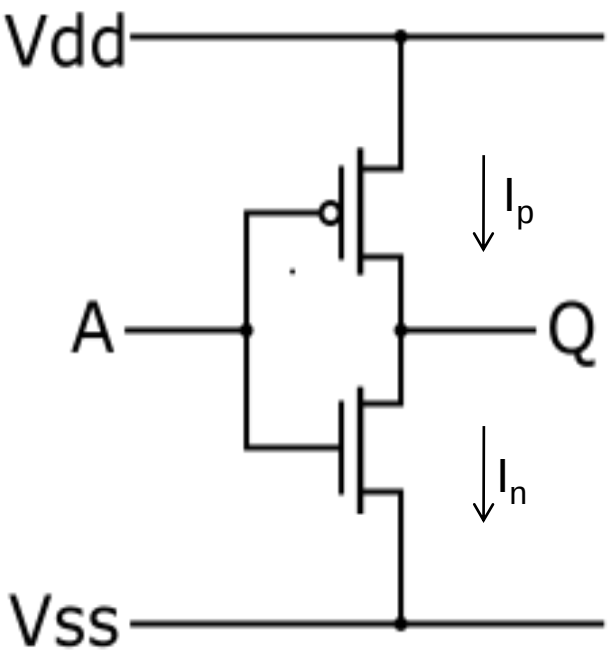
- Sugiro visitarem o site a seguir para ver o processo de fabricação básico do CMOS
  http://web.ewu.edu/groups/technology/Claudio/ee430/Lectures/layout.pdf

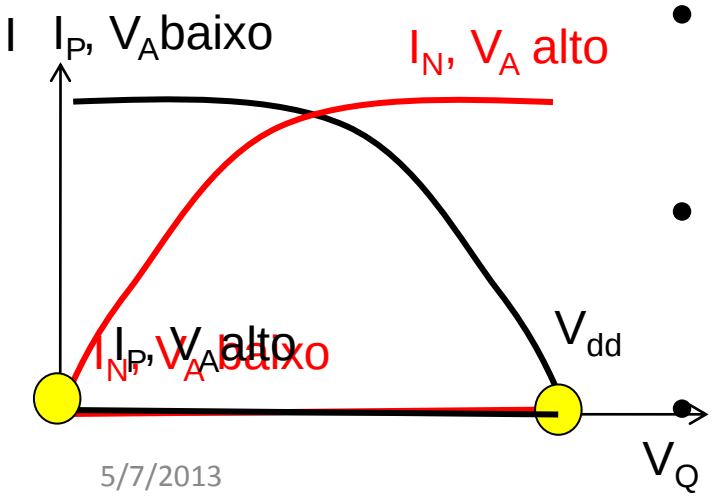
Circuito Inversor Não



- O NMOS, (canal de elétrons) necessita tensão acima da crítica positiva para prover I_{dsat} (para baixo) correspondente a elétrons que vão da fonte para o dreno.
- Se V_{in} é alto (maior que o limiar VT, digamos $V_{in} = V_{DD}$) o NMOS cria I_{dsat} e conduz jogando o sinal de saída para o terra (0)
- O PMOS necessita tensão abaixo de V_{DD} por pelo menos o valor crítico para criar o canal de buracos que flui da fonte para o dreno.
- Quando V_{in} é baixo ($V_{in} = 0$) o canal p é criado no PMOS e leva V_{DD} a V_{DD}na saída.

CMOS inversor e escala

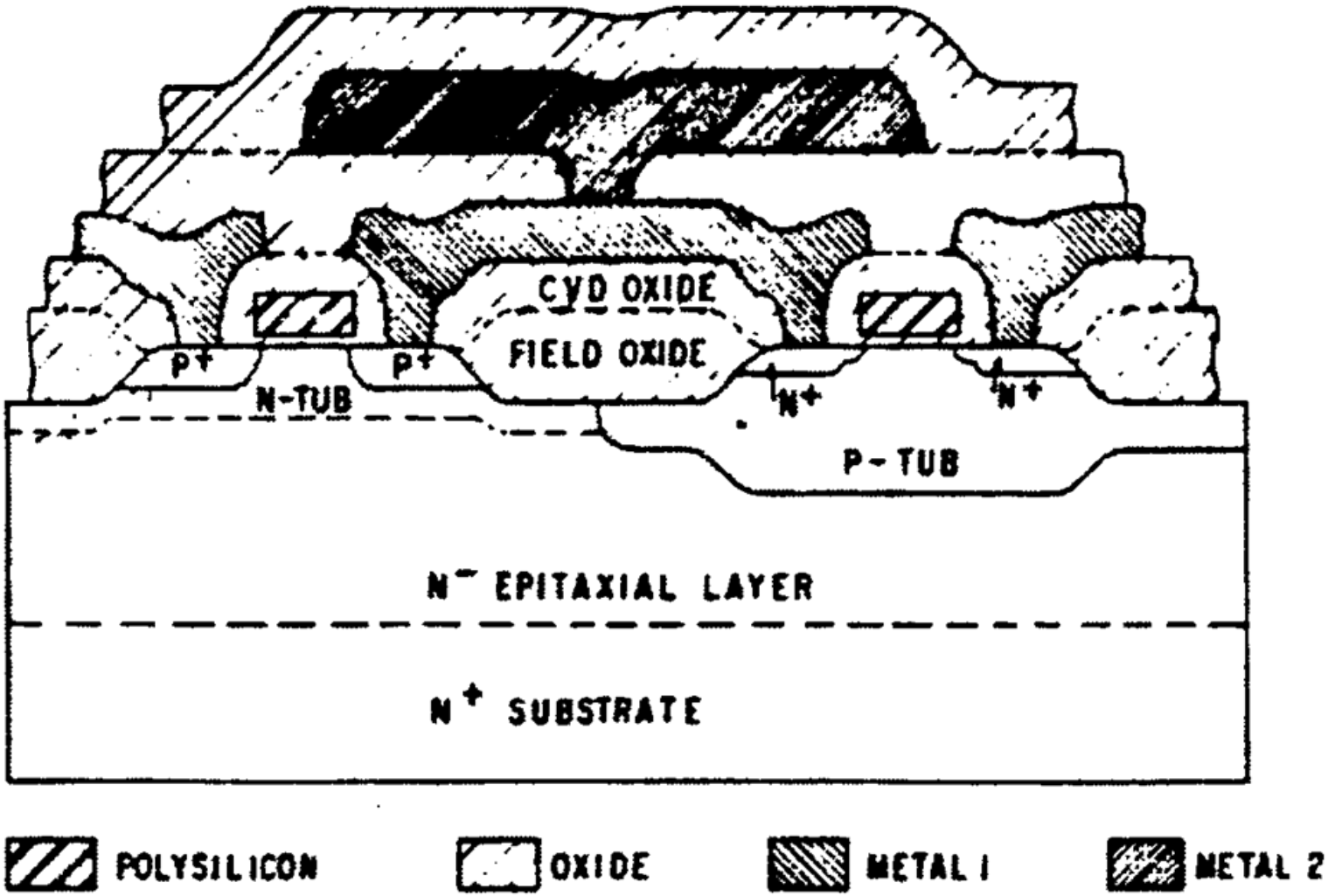




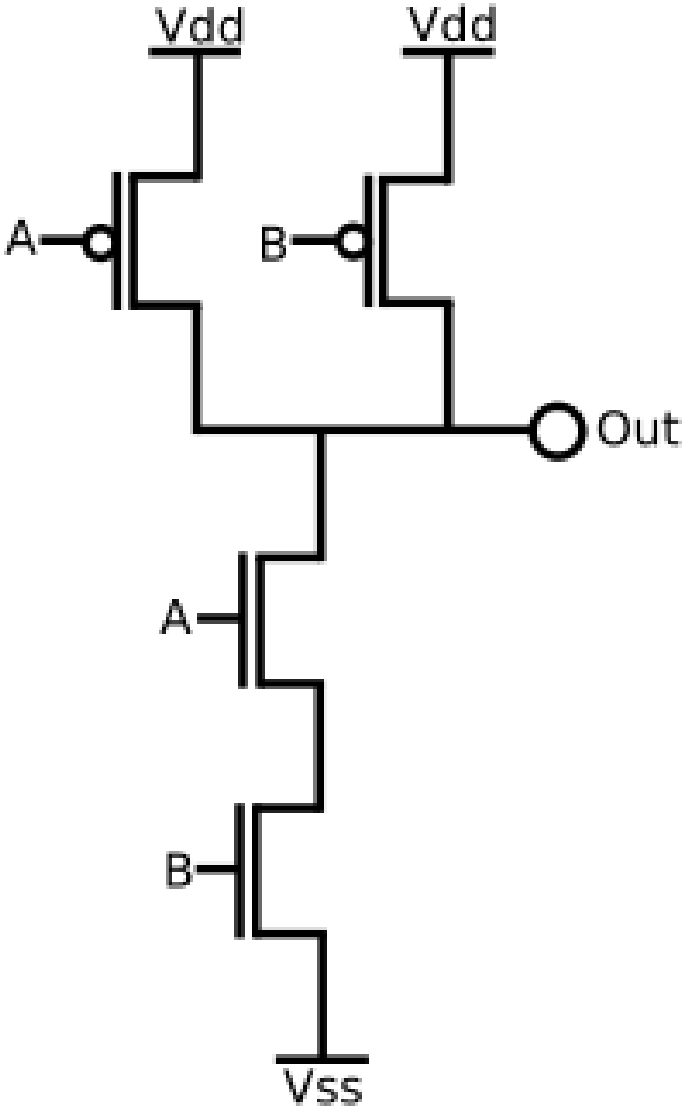
- Somente consome corrente na transição entre ligado e desligado;
- Carregamos e descarregamos o capacitor;
- Tempo de transição R_pC_i;(no limite, tempo de trânsito)
- R_{pd} diminui com I_D;
- Diminuir consumo: diminuir V; (aumentar C_i)
- Reduzir L e aumentar C_i aumenta I_D e diminui R;
- Óxido mais fino:tunelamento

$$P = \frac{1}{2} C_i V^2 f$$

CMOS

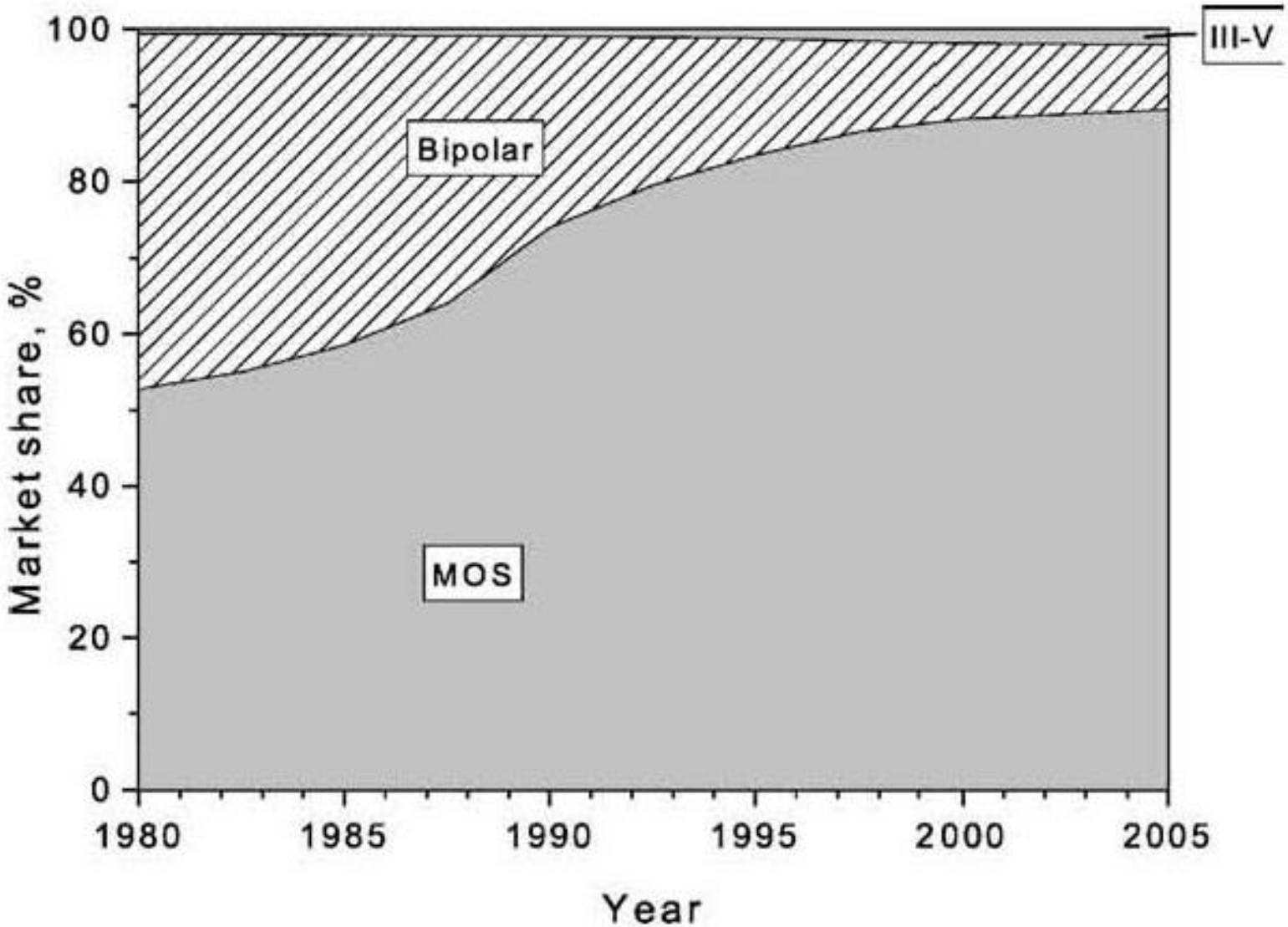

CVD OXIDE
FIELD OXIDE
P+
P+
N-TUB
N+
N+
P-TUB
N⁻ EPITAXIAL LAYER
N⁺ SUBSTRATE
POLYSILICON
OXIDE
METAL 1
METAL 2

Nand gate



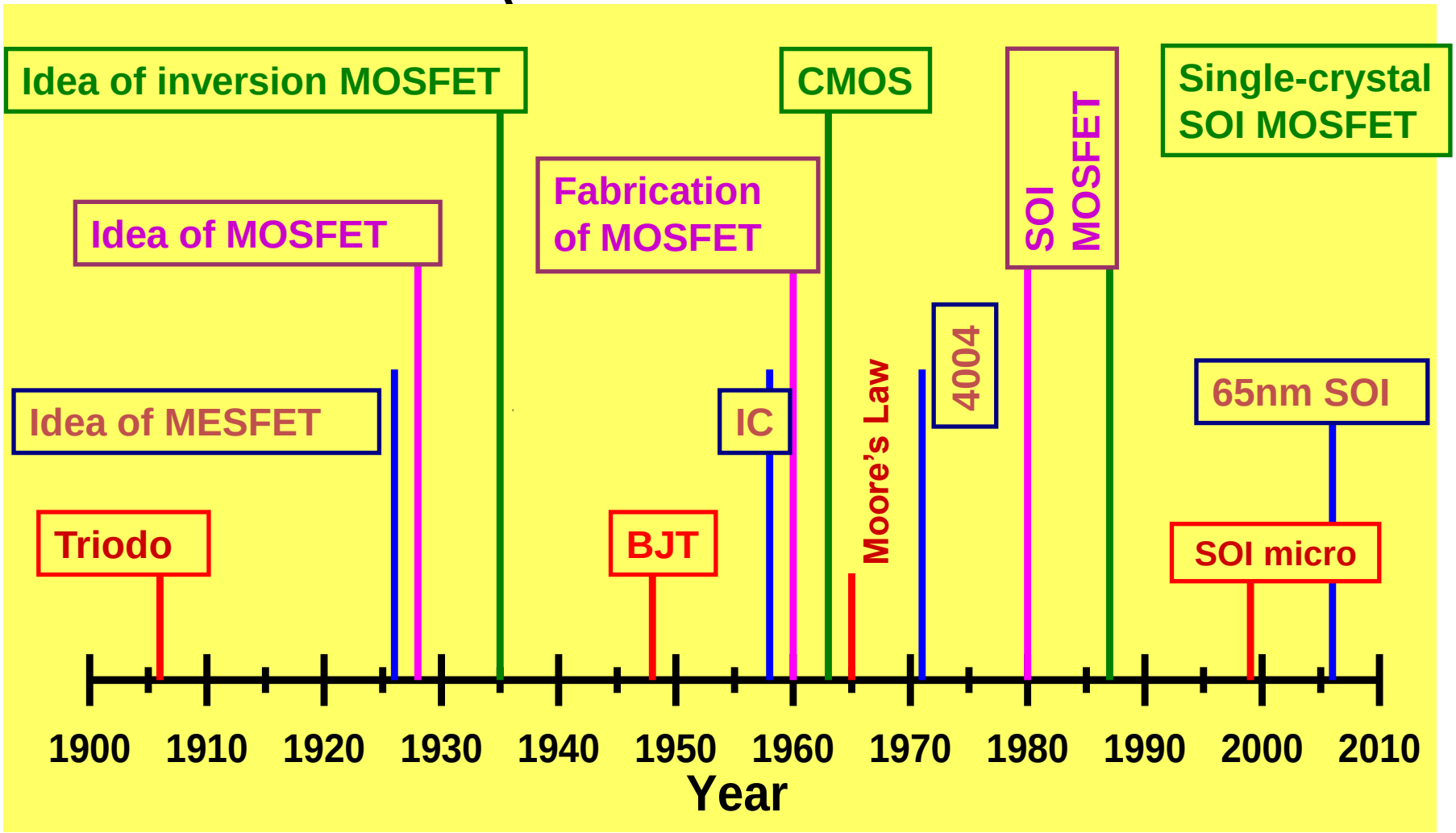
A	B	Out
1	1	0
1	0	1
0	1	1
0	0	1

Mercado BJT vs. MOS



[1] J.J. Liou, F. Schwierz, Solid-State Electronics, 47, pp. 1881–1895, 2003.

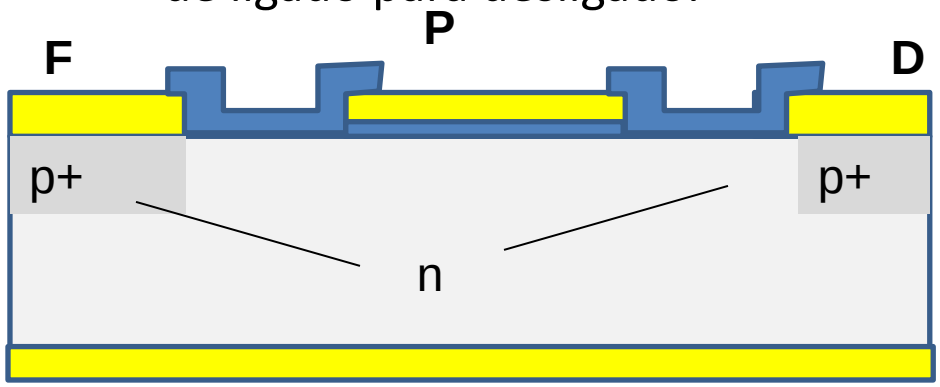
Evolução da Eletrônica*



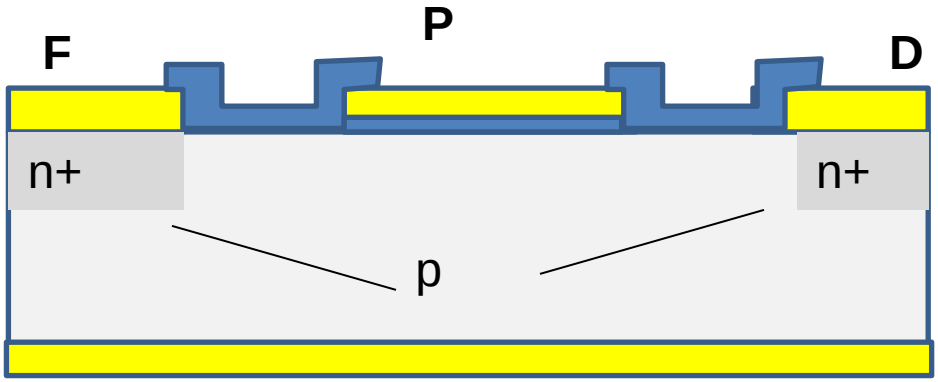
* A. Ortiz-Conde and F.J. García-Sánchez

Corrente sub limiar

- Na operação enhancement V_{DF} é mantido fixo para conduzir cargas do canal;
- V_P controla se há cargas ou não;
- Na condição de não condução o V_P está em sub limiar. Nesta condição Dreno-canal-porta forma uma estrutura de um transistor bipolar (p-n-p para canal p e n-p-n para canal n);
- Este suposto transistor está em corte com emissor polarizado reversamente. Temos a corrente de saturação de emissor base.
- Em condição de inversão baixa temos difusão de portadores do canal tal qual se eles tivessem sido injetados pelo emissor.
- Esta corrente é consumida nos estado desligado ou em parte da transição de ligado para desligado.



Canal p



Canal p

Efeito de canal curto

- Quando o canal se torna comparável com as regiões de depleção (JFET ou MESFET) ou regiões de estrangulamento da inversão (MISFET);
- Temos:
  - Campo transversal é comparável ao longitudinal; efeito bidimensional, Tensão no gate afeta campo entre dreno e fonte; Vp limiar depende do tamanho do canal;
  - Possibilidade de punch-through pelo canal e não existência de saturação de corrente;
  - Maior efeito de corrente sublimiar (efetivamente..menor espessura da base)

Consumo e dissipação de potência

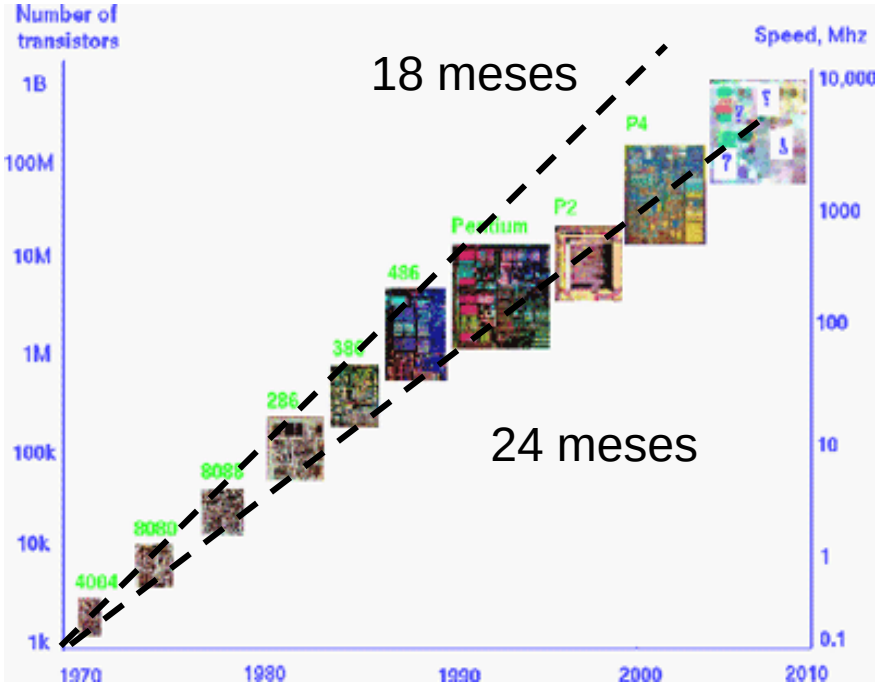
- Dissipação estática:
  - Corrente sublimiar;
  - Tunelamento no óxido (Aqui entra o dielétrico de alto k com espessura equivalente dada por $d*K_{SiO2}/K$
- Dissipação Dinâmica:
  - Carregar e descarregar os canais: $P=CV^2f$ (aqui se entende a necessidade de baixar V; isto é obtido também aumentando C;
  - Transiente entre canais ligados e desligados.
  - Dissipação nas interconecções entre transistores num circuito integrado devido a resistividade.

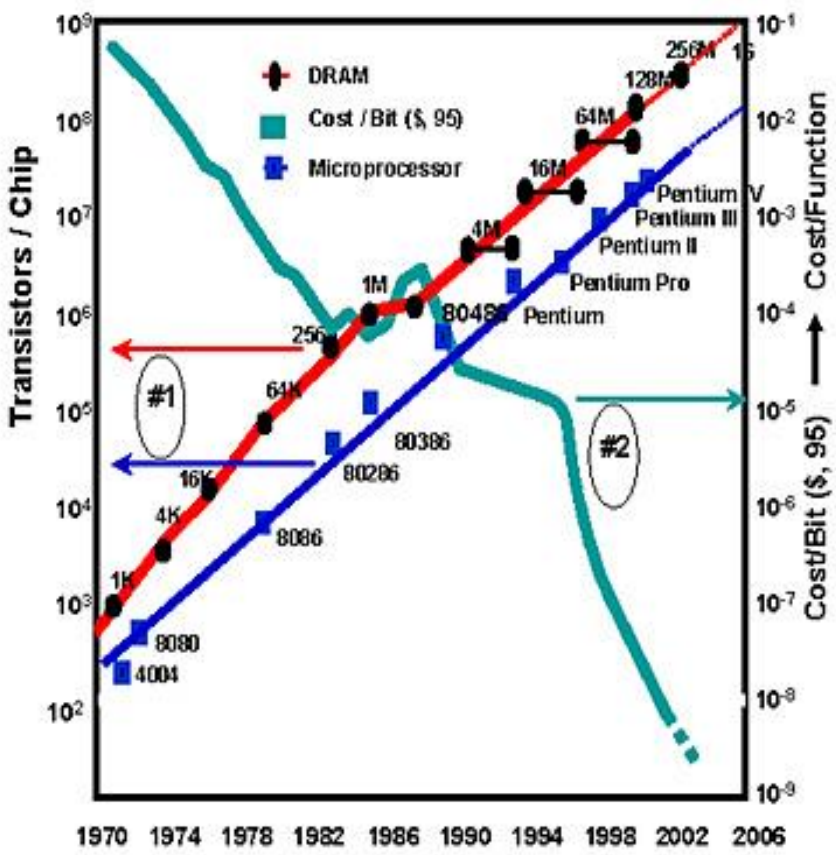
Auto alinhamento

- Originalmente:
  - Difusão ou implantação para dreno e fonte,
  - Óxido depositado ou oxidado e corroído seguido de lift off de alumínio;
  - Alinhamento da porta com respeito ao dreno e à fonte: levava à overlap do contato da porta com os outros eletrodos;
- Auto alinhamento:
  - Depositar o metal primeiro e usar como máscara para difusão/implantação: Não suportava temperatura da difusão ou *annealing* pós implantação;
  - Isto levou à utilização de silício policristalino (polisilício) ultra dopado, o que, de certa forma, resolve o problema de ϕ_{ms} (caso usássemos p^{++} polisilício para o Si p e n^{++}para o Si n;
  - Para simplificar usa-se somente uma dopagem do polisilício, o que não resolve a questão do desalinhamento das bandas.
- O polisilício tem um problema por ser semicondutor e gerar região de depleção com aumento da resistência em série na porta.
- Atualmente, o uso de nitreto de tântalo (metálico) resolve este problema de resistência, alem de permitir o autoalinhamento. O ϕ_{ms} fica intermediário para silício p e n.

Eletrônica Digital:Lei de Moore

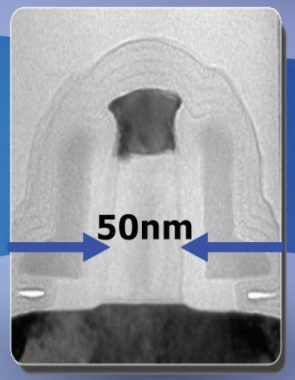
- Capacidade computacional (número de transitores num chip) dobra a cada 18 meses.





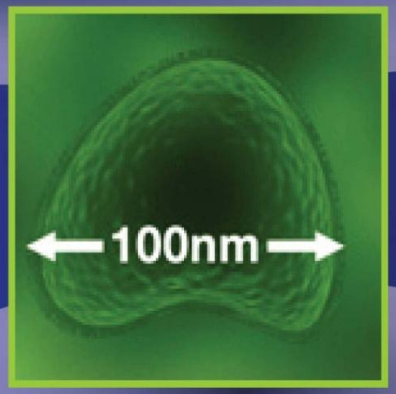
Previsão da INTEL

High Volume Manufacturing	2004	2006	2008	2010	2012	2014	2016	2018
Feature Size	90nm	65nm	45nm	32nm	22nm	16nm	11nm	8nm
Integration Capacity (Billions of Transistors)	2	4	8	16	32	64	128	256



Transistor for 90nm Process

Source: Intel



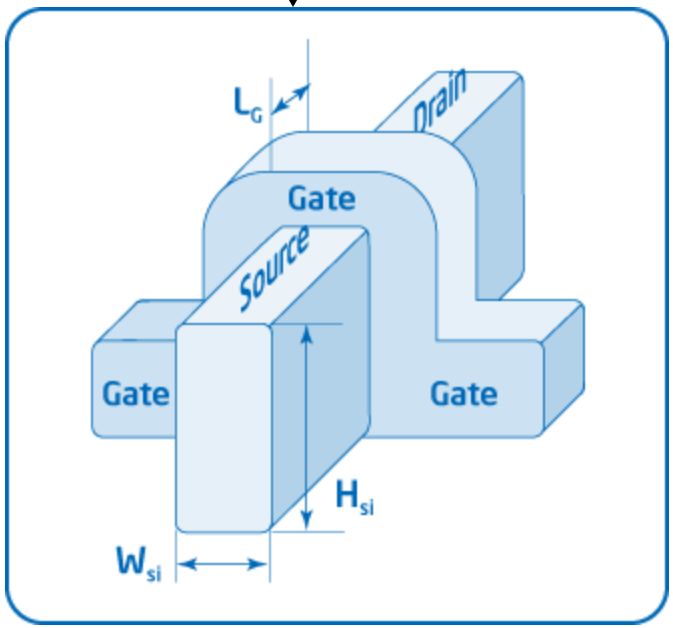
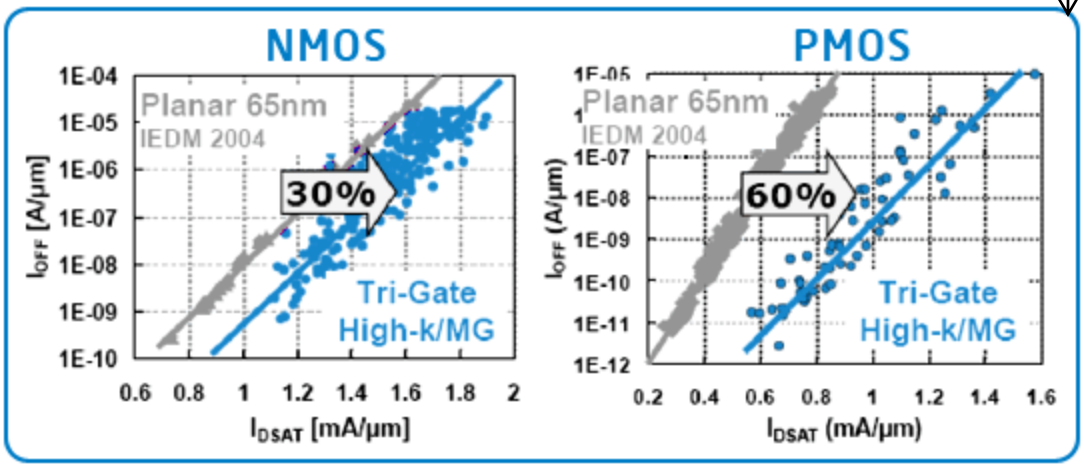
Influenza Virus

Source: CDC

7

11th EMEA Academic Forum

intel

A agora?

- Vejam o trigate (FINFET) da INTEL: http://www.intel.com/technology/silicon/integrated_cmos.htm
- É possível entender porque a corrente de sublimiar é menor?
- Com dielétricos de alto k, é possível entender o benefício do TRI-GATE?
- EM termos de ocupaçào deespaço no chip, é possível entender as vantagens deste projeto?